

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Shigeru KINOSHITA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: NONVOLATILE SEMICONDUCTOR STORAGE DEVICE AND MANUFACTURING METHOD
THEREOF

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-001488	January 7, 2003

Certified copies of the corresponding Convention Application(s)

are submitted herewith

will be submitted prior to payment of the Final Fee

were filed in prior application Serial No. filed

were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

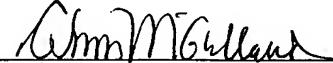
(B) Application Serial No.(s)

are submitted herewith

will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 1月 7日
Date of Application:

出願番号 特願2003-001488
Application Number:

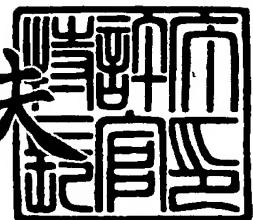
[ST. 10/C] : [JP2003-001488]

出願人 株式会社東芝
Applicant(s):

2003年10月28日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫





【書類名】 特許願
【整理番号】 A000204646
【提出日】 平成15年 1月 7日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 27/10
【発明の名称】 不揮発性半導体記憶装置とその製造方法
【請求項の数】 7
【発明者】
【住所又は居所】 神奈川県横浜市磯子区新磯子町33番地 株式会社東芝
生産技術センター内
【氏名】 木下 繁
【発明者】
【住所又は居所】 三重県四日市市山之一色町800番地 株式会社東芝四
日市工場内
【氏名】 間 博顕
【特許出願人】
【識別番号】 000003078
【氏名又は名称】 株式会社 東芝
【代理人】
【識別番号】 100058479
【弁理士】
【氏名又は名称】 鈴江 武彦
【電話番号】 03-3502-3181
【選任した代理人】
【識別番号】 100091351
【弁理士】
【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置とその製造方法

【特許請求の範囲】

【請求項 1】 電気的に書き込み及び消去可能な不揮発性半導体記憶装置において、

基板と、

この基板から突出するとともに、所定間隔で配設された複数の素子分離部と、

これら素子分離部間に配置された浮遊電極と、

上記素子分離部及び上記浮遊電極の上に積層された絶縁層とを備え、

隣接する浮遊電極相互の間隔は、上記基板側よりも上記基板より離間した側で広くなるように形成されていることを特徴とする不揮発性半導体記憶装置。

【請求項 2】 上記間隔は、複数の段部で形成されていることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 3】 上記段部のうち最も基板側の段部の厚さを除く各段部の厚さの合計が全段部の厚さの合計に対し 1/3 以上であること特徴とする請求項 2 に記載の不揮発性半導体記憶装置。

【請求項 4】 上記浮遊電極の断面についての上記絶縁層側の外周長さの合計は、上記浮遊電極の断面についての厚さ方向と幅方向との合計に対し 90% 以上であることを特徴とする請求項 2 記載の不揮発性半導体記憶装置。

【請求項 5】 上記素子分離部の上記基板から離間した側の面には凹部が形成され、この凹部内に上記絶縁層が形成されていることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 6】 上記凹部は、開口部から底部にかけて深さ方向に直交する面の面積が狭くなることを特徴とする請求項 5 記載の不揮発性半導体記憶装置。

【請求項 7】 基板上にこの基板から突出する素子分離部を形成する素子分離部形成工程と、

上記基板及び上記素子分離部の上に多結晶シリコン層を形成する多結晶シリコン層形成工程と、

上記多結晶シリコン層の上に第 1 のマスク材を形成する第 1 マスク材形成工程

と、

上記素子分離部の上面の領域内において、上記多結晶シリコン層の厚さの少なくとも1/3以上の深さまで上記多結晶シリコン層をエッチングする第1エッチング工程と、

上記多結晶シリコン層の上に第2のマスク材を形成する第2マスク材形成工程と、

上記第1エッチング工程によってエッチングされた領域内において、上記素子分離部まで上記多結晶シリコン層をエッチングする第2エッチング工程と、

上記素子分離部及び上記多結晶シリコン層の上に絶縁層を形成する絶縁層形成工程とを備えていることを特徴とする不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、不揮発性半導体記憶装置及びその製造方法に関し、特に浮遊電極間容量を低減でき、デバイス信頼性を向上させることができるものに関する。

【0002】

【従来の技術】

従来から記憶用LSI等に不揮発性半導体記憶装置が用いられている。図5及び図6は不揮発性半導体記憶装置の製造工程を示す断面図である。不揮発性半導体記憶装置の製造工程には、素子分離形成工程及び浮遊電極形成工程が含まれている。

【0003】

図5の(a), (b)は、素子分離部を形成するための素子分離形成工程を示す断面図である。最初に、シリコン基板1上に、第1のシリコン酸化膜2、第1の多結晶シリコン膜3、シリコン窒化膜4、第2のシリコン酸化膜5を堆積する。そして、光蝕刻法によりフォトレジスト(不図示)を所望のパターンに加工し、このフォトレジストをマスクにしてRIE(reactive ion etching)法によりシリコン窒化膜4及び第2のシリコン酸化膜5をエッチング加工する。

【0004】

次に、O₂ プラズマ中にシリコン基板1をさらし、フォトレジストを除去する。そして、第2のシリコン酸化膜5をマスクにして多結晶シリコン膜3、第1のシリコン酸化膜2、シリコン基板1をエッチング加工し、図5の（a）に示すように、シリコン基板1中に溝1aを形成する。

【0005】

次に、O₂ 霧囲気で加熱し、数nmの第3のシリコン酸化膜6を形成し、その後シリコン基板1中の溝1aにHDP (h i g h d e n s i t y p l a s m a) - CVD (c h e m i c a l v a p o r d e p o s i t i o n) 法により第4のシリコン酸化膜7を堆積する。そして、CMP (c h e m i c a l m e c h a n i c a l p o l i s h) 法により第4のシリコン酸化膜7を平坦化し、窒素霧囲気中で加熱する。次に、NH₄F溶液に浸した後、図5の（b）に示すようにリン酸処理により第4のシリコン窒化膜4を除去する。ここまでがSTI（素子分離）を形成する素子分離工程である。

【0006】

次に、浮遊電極形成工程を行う。図6の（a）に示すように、減圧CVD法によりリンが添加された第2の多結晶シリコン膜8及び第5のシリコン酸化膜9を堆積し、光蝕刻法によりフォトレジストRを所望のパターンに加工する。このフォトレジストRをマスク材としてRIE法により第5のシリコン酸化膜9をエッチング加工する。そして、O₂ プラズマ中にシリコン基板1をさらし、フォトレジストRを除去する。

【0007】

次に、図6の（b）に示すように、減圧CVD法により第6のシリコン酸化膜10を堆積する。この第6のシリコン酸化膜10をマスク材として第5のシリコン酸化膜9及び第6のシリコン酸化膜10をエッチング加工する。次に第5のシリコン酸化膜9及び第6のシリコン酸化膜10をマスク材として図6の（c）に示すように、第2の多結晶シリコン8をRIE法によりエッチング加工する。

【0008】

次に、フッ酸系のエッチング液により第5のシリコン酸化膜9及び第6のシリ

コン酸化膜10を剥離する。次に薄いNHF₄溶液に浸した後、ONO膜(SiO₂-SiN-SiO₂膜)11を減圧CVD法により堆積し、酸化雰囲気で熱処理を施す。次に、図6の(d)に示すように絶縁層となる第3の多結晶シリコン膜12を減圧CVD法により堆積する。

【0009】

なお、メモリセルアレイの断面に関し、隣接する浮遊電極間の幅が基板側より基板から離間した側が広くなっているものがある（例えば、特許文献1参照）。但し、このような構造・形状がとられた理由については特に説明はない。

【0010】

【特許文献1】

特開2001-160618号公報（図3B及び段落番号0026, 0027）

【0011】

【発明が解決しようとする課題】

上述した不揮発性半導体記憶装置の製造方法であると次のような問題があった。すなわち、浮遊電極形成工程において、浮遊電極の分離加工は素子分離領域上で行われる必要がある。このため、分離溝の幅は素子分離領域の幅とPEP（Photo Etching Process）の合わせズレ量に制約され、浮遊電極間隔を十分広く取ることができなかった。浮遊電極間隔が狭いと、浮遊電極間の容量カップリングによりしきい値電圧の変動が起り、デバイス信頼性に深刻な影響を与える。

【0012】

図7～図9は、しきい値電圧の変動の原理を示す説明図である。すなわち、図7の(a)～(c)に示すように、不揮発性半導体記憶装置は、FNトンネル電流により浮遊電極FGに電荷を注入することで記憶を行っている。このとき、2値のNAND回路である場合には、図7の(b)に示すように、電荷が「0」又は「1」に対応するため、Vthが離れている。一方、例えば4値のNAND回路である場合には、図7の(c)に示すように、電荷が「01」、「00」、「10」、「11」となり、Vthが近接することとなる。

【0013】

このため、図8の(a), (b)に示すように、浮遊電極に次々に書き込みが行われ、電荷を保持している場合に、隣接した浮遊電極間で浮遊電極間容量が大きくなると、隣の浮遊電極の電荷の影響を受けて電位の変動が起こることがあり得る。

【0014】

これは図8の(c)に示すように、浮遊電極間容量が大きくなると、例えば「10」を示す閾値電圧分布M1が、閾値電圧分布M2にシフトし、隣接する「00」を示す閾値電圧分布との間隔がm1からm2に狭まり、デバイスの信頼性を劣化させる要因となる。

【0015】

図9は浮遊電極相互の干渉に伴う電位シフト ΔV_{fg} を示す説明図である。すなわち、浮遊電極間容量は、隣接する浮遊電極間容量 C_{fgx} , C_{fgxy} , C_{fgy} と、各部材との容量 C_{tun} , C_{ono} により式(1)に基づいて算出される。

【0016】

すなわち、

$$\begin{aligned} \Delta V_{fg} &= \{ (\Delta V_1 + \Delta V_2) C_{fgx} + \Delta V_4 C_{fgy} + (\Delta V_3 + \Delta V_5) C_{fgxy} \\ &\quad \times (C_{tun} + C_{ono} + 2 C_{fgx} + 2 C_{fgy} + 4 C_{fgxy}) \} \dots (1) \end{aligned}$$

そこで本発明は、浮遊電極間容量を低減することで、容量カップリングによるしきい値電圧の変動を抑制し、デバイス信頼性を向上させることができる不揮発性半導体記憶装置及びその製造方法を提供することを目的としている。

【0017】

【課題を解決するための手段】

上記課題を解決し目的を達成するために、本発明の不揮発性半導体記憶装置及びその製造方法は次のように構成されている。

【0018】

(1) 電気的に書き込み及び消去可能な不揮発性半導体記憶装置において、基板と、この基板から突出するとともに、所定間隔で配設された複数の素子分離部と、これら素子分離部間に配置された浮遊電極と、上記素子分離部及び上記浮遊電極の上に積層された絶縁層とを備え、隣接する浮遊電極相互の間隔は、上記基板側よりも上記基板より離間した側で広くなるように形成されていることを特徴とする。

【0019】

(2) 上記(1)に記載された不揮発性半導体記憶装置であって、上記間隔は、複数の段部で形成されていることを特徴とする。

【0020】

(3) 上記(2)に記載された不揮発性半導体記憶装置であって、上記段部のうち最も基板側の段部の厚さを除く各段部の厚さの合計が全段部の厚さの合計に対し1/3以上であること特徴とする。

【0021】

(4) 上記(2)に記載された不揮発性半導体記憶装置であって、上記浮遊電極の断面についての上記絶縁層側の外周長さの合計は、上記浮遊電極の断面についての厚さ方向と幅方向との合計に対し90%以上であることを特徴とする。

【0022】

(5) 上記(1)に記載された不揮発性半導体記憶装置であって、上記素子分離部の上記基板から離間した側の面には凹部が形成され、この凹部内に上記絶縁層が形成されていることを特徴とする。

【0023】

(6) 上記(5)に記載された不揮発性半導体記憶装置であって、上記凹部は、開口部から底部にかけて深さ方向に直交する面の面積が狭くなることを特徴とする。

【0024】

(7) 基板上にこの基板から突出する素子分離部を形成する素子分離部形成工程と、上記基板及び上記素子分離部の上に多結晶シリコン層を形成する多結晶シリ

コン層形成工程と、上記多結晶シリコン層の上に第1のマスク材を形成する第1マスク材形成工程と、上記素子分離部の上面の領域内において、上記多結晶シリコン層の厚さの少なくとも1/3以上の深さまで上記多結晶シリコン層をエッチングする第1エッチング工程と、上記多結晶シリコン層の上に第2のマスク材を形成する第2マスク材形成工程と、上記第1エッチング工程によってエッチングされた領域内において、上記素子分離部まで上記多結晶シリコン層をエッチングする第2エッチング工程と、上記素子分離部及び上記多結晶シリコン層の上に絶縁層を形成する絶縁層形成工程とを備えていることを特徴とする。

【0025】

【発明の実施の形態】

図1の(a)は本発明の第1の実施の形態に係る不揮発性半導体記憶装置100を示す断面図、図1の(b)は一般的な不揮発性半導体記憶装置を示す断面図である。

【0026】

不揮発性半導体記憶装置100は、シリコン基板1と、このシリコン基板1に積層された第1のシリコン酸化膜2と、シリコン基板1に所定間隔で突設された素子分離部101と、これら素子分離部101間に設けられた浮遊電極102と、素子分離部101と浮遊電極102の上に設けられた境界層103と、この境界層103の上に積層された制御電極104とを備えている。

【0027】

なお、素子分離部101は第4のシリコン酸化膜7、浮遊電極102は第1の多結晶シリコン3と第2の多結晶シリコン8、境界層103はONO膜21、制御電極104は第3の多結晶シリコン膜22から形成されている。

【0028】

境界層103は、素子分離部101上で2段の段状に形成されており、厚さ方向に直交する幅方向の長さが、シリコン基板1側で短く、シリコン基板1から離間した側で長く形成されている。なお、境界層103の各部の寸法は図1の(a)に示すように形成されている。したがって、境界層103に接する浮遊電極102の外周長さLは、

$$L = 2(a_1 + a_2) + (b_1 + 2b_2) \quad \dots (2)$$

で示され、図1の（b）における深さ方向の長さaと幅方向の長さbとの合計にはほぼ相当している。

【0029】

このような不揮発性半導体記憶装置100は、図2の（a）～（e）に示す浮遊電極形成工程により製造される。なお、浮遊電極形成工程の前工程である素子分離形成工程は図5で示したものと同一であるので説明は省略する。

【0030】

図2の（a）に示すように、減圧CVD法によりリンが添加された第2の多結晶シリコン膜8を厚さTとなるまで、第5のシリコン酸化膜9を所定の厚さまで堆積し、光蝕刻法によりフォトレジストRを所望のパターンに加工する。このフォトレジストRをマスク材としてRIE法により第5のシリコン酸化膜9をエッティング加工する。

【0031】

さらに、図2の（b）に示すように、RIE法により第2の多結晶シリコン8の掘り込み深さDとなるまで掘り込み、第2の多結晶シリコン8が抜け切る前にRIE法によるエッティング加工を止める。このとき第2の多結晶シリコン8の掘り込み深さDは、加工前の多結晶シリコン8の厚さTの1/3以上とする。この理由については後述する。

【0032】

次に、O₂プラズマ中にシリコン基板1をさらし、フォトレジストRを除去する。そして、図2の（c）に示すように、減圧CVD法により第6のシリコン酸化膜10を堆積する。この第6のシリコン酸化膜10をマスク材として第5のシリコン酸化膜9及び第6のシリコン酸化膜10をエッティング加工する。次に第5のシリコン酸化膜9及び第6のシリコン酸化膜10をマスク材として図2の（d）に示すように第2の多結晶シリコン8をRIE法によりエッティング加工する。このとき、第2の多結晶シリコン8は先ほど抜け切らずに残しておいた部分が加工される。このときのマスクの開口幅は、第2の多結晶シリコンを途中まで掘り込んだときより狭く、第2の多結晶シリコン8の加工形状は、階段形状になる。

【0033】

次に、フッ酸系のエッティング液により第5のシリコン酸化膜9及び第6のシリコン酸化膜10を剥離する。次に薄いNH₄F溶液に浸した後、ONO膜21を減圧CVD法により堆積し酸化雰囲気で熱処理を施す。次に、図2の(e)に示すように第3の多結晶シリコン膜22を減圧CVD法により堆積する。

【0034】

このような不揮発性半導体記憶装置100は、次のような効果がある。すなわち、浮遊電極102と制御電極104の境界である境界層103が階段状に形成されており、浮遊電極102の下部(シリコン基板1側)での浮遊電極102相互の間隔よりも、浮遊電極102の上部(シリコン基板1から離間した側)での間隔が大きくなっている。

【0035】

このため、浮遊電極102間の静電容量を低減できるとともに、素子分離部101に対する境界層103の合せ位置を従来と同じ精度で位置決めすることができる。また、浮遊電極102の断面積を小さくすることにより、対向する浮遊電極102との間での静電容量をも低減できる。

【0036】

一方、制御電極-浮遊電極間容量を決める要素である、浮遊電極102の外周長さLは、上述したように、図1の(b)における深さ方向の長さaと幅方向の長さbとの合計にはほぼ相当している。すなわち、境界層103を段状に形成することで、外周長さLを十分に確保することができることから、制御電極-浮遊電極間容量は低下せず、浮遊電極間容量のみを低減できる。なお、制御電極-浮遊電極間容量が低下すると制御電極104の書き込み電圧を高くする必要がある。書き込み電圧を高くすると、耐圧劣化の原因となる。

【0037】

境界層103の段は2段としたが3段以上であってもよく、外周長さLについては90%以上確保されていればテーパ状にしてもよい。なお、90%以上としたのは、制御電極-浮遊電極間容量の低下を10%以下に抑制し、プロセスばらつきによる制御電極-浮遊電極間容量の変動幅(10%)に比べて低くできるた

めである。

【0038】

次に、第2の多結晶シリコン8の掘り込み深さDを、加工前の多結晶シリコン8の厚さTの1/3以上とした理由について説明する。図3は、D/Tと浮遊電極間容量との関係をシミュレーションしたものである。ここでは、D/Tが0のときの浮遊電極間容量を1に規格化している。図3からわかるように1回目の多結晶シリコン掘り込みでD/Tが1/3以上となるように掘り込んだ場合、D/Tが0のときに比べて10.5%の浮遊電極間容量が低減する。

【0039】

浮遊電極間容量は、多結晶シリコンの膜厚やエッチングの加工等のプロセスばらつきにより±10%程度のばらつきを持つ（図3中Pの範囲）。階段加工形状でもD/Tが1/3以下の場合、浮遊電極間容量の低減効果は10%以下で容量ばらつき分より小さいので、デバイス特性の向上（しきい値電圧変動の低減）が期待できない。したがって、容量ばらつきの幅よりも大きい容量低減効果を得るために、D/Tとして1/3以上が必要となる。

【0040】

上述したように本発明の第1の実施の形態に係る不揮発性半導体記憶装置100によれば、浮遊電極102下部での浮遊電極間隔は狭く、浮遊電極102上部での間隔を広くすることにより、境界層103の位置決め精度を従来と同等にすることができるとともに、隣接する浮遊電極102間の静電容量を低減し、浮遊電極102間の容量カップリングによるしきい値電圧変動を小さくすることができる。また、浮遊電極102の断面積を小さくできるので、対向する浮遊電極102間の静電容量を低減し、浮遊電極間の容量カップリングによるしきい値電圧変動を小さくすることができる。

【0041】

さらに、制御電極-浮遊電極間容量低下による接合の耐圧劣化を抑制しながら、浮遊電極102間の容量カップリングによるしきい値変動を小さくすることができる。

【0042】

図4の(a), (b)は本発明の第2の実施の形態に係る不揮発性半導体記憶装置の製造工程の一部を示す図である。なお、第1の実施の形態における図2の(d)までは同じ工程をとるため詳細な説明は省略する。

【0043】

図4の(a)に示すように、シリコン酸化膜9, 10をマスク材として第4のシリコン酸化膜7を断面V字状に掘り込み凹部7aを形成する。ここで断面V字状とは、凹部7a開口部から底部にかけて幅方向の断面積が狭くなることを意味し、底部が平らな断面台形状であってもよい。

【0044】

次に、フッ酸系のエッティング液により第5のシリコン酸化膜9及び第6のシリコン酸化膜10を剥離する。次に薄いNH₄F溶液に浸した後、ONO(SiO₂, SiN, SiO₂)膜11を減圧CVD法により堆積し酸化雰囲気で熱処理を施す。次に、図4の(b)に示すように、第3の多結晶シリコン膜12を減圧CVD法により堆積する。

【0045】

このように構成された不揮発性半導体記憶装置110によれば、凹部7aに埋め込まれる制御電極104とシリコン基板1との電気的なショートを抑制することができる。この場合、凹部7aを形成しない場合に比べて浮遊電極間容量を35%低減することができる。これは、凹部7aにONO膜11を挟んで第3の多結晶シリコン膜12が埋め込まれることにより、浮遊電極間の下からの回り込み容量を低減できるからである。

【0046】

なお、本発明は前記実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲で種々変形実施可能であるのは勿論である。

【0047】

【発明の効果】

本発明によれば、浮遊電極間容量を低減することで、容量カップリングによるしきい値電圧の変動を抑制し、デバイス信頼性を向上させることができる。

【図面の簡単な説明】

【図 1】 (a) は本発明の第 1 の実施の形態に係る不揮発性半導体記憶装置を示す断面図、(b) は比較例に係る不揮発性半導体記憶装置を示す断面図である。

【図 2】 同不揮発性半導体記憶装置の製造工程（浮遊電極形成工程）を示す断面図。

【図 3】 同不揮発性半導体記憶装置における加工前の多結晶シリコンの厚さ T に対する第 2 の多結晶シリコンの掘り込み深さ D の割合と浮遊電極間容量との関係を示す説明図。

【図 4】 本発明の第 2 の実施の形態に係る不揮発性半導体記憶装置を示す断面図。

【図 5】 一般的な不揮発性半導体記憶装置の製造工程（素子分離形成工程）を示す断面図。

【図 6】 従来の不揮発性半導体記憶装置の製造工程（浮遊電極形成工程）を示す断面図。

【図 7】 浮遊電極間の電位シフトの原理について示す説明図。

【図 8】 浮遊電極間の電位シフトの原理について示す説明図。

【図 9】 浮遊電極間の電位シフトの原理について示す説明図。

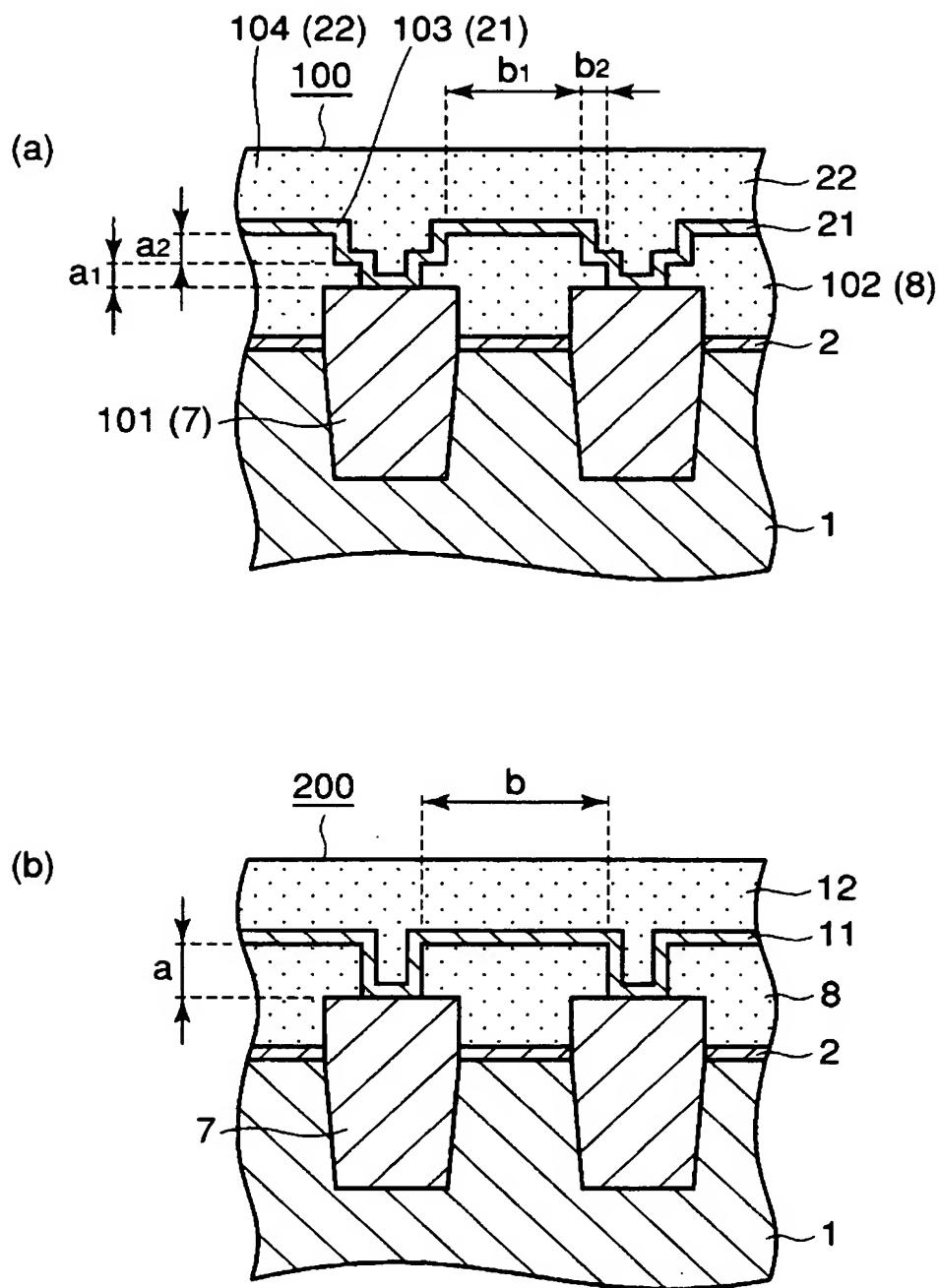
【符号の説明】

1 …シリコン基板、2 …第 1 のシリコン酸化膜、7 …第 4 のシリコン酸化膜、8 …第 2 の多結晶シリコン、2 1 …ONO 膜、2 2 …第 3 の多結晶シリコン膜、1 0 0 …不揮発性半導体記憶装置、1 0 1 …素子分離部、1 0 2 …浮遊電極、1 0 3 …境界層、1 0 4 …制御電極。

【書類名】

図面

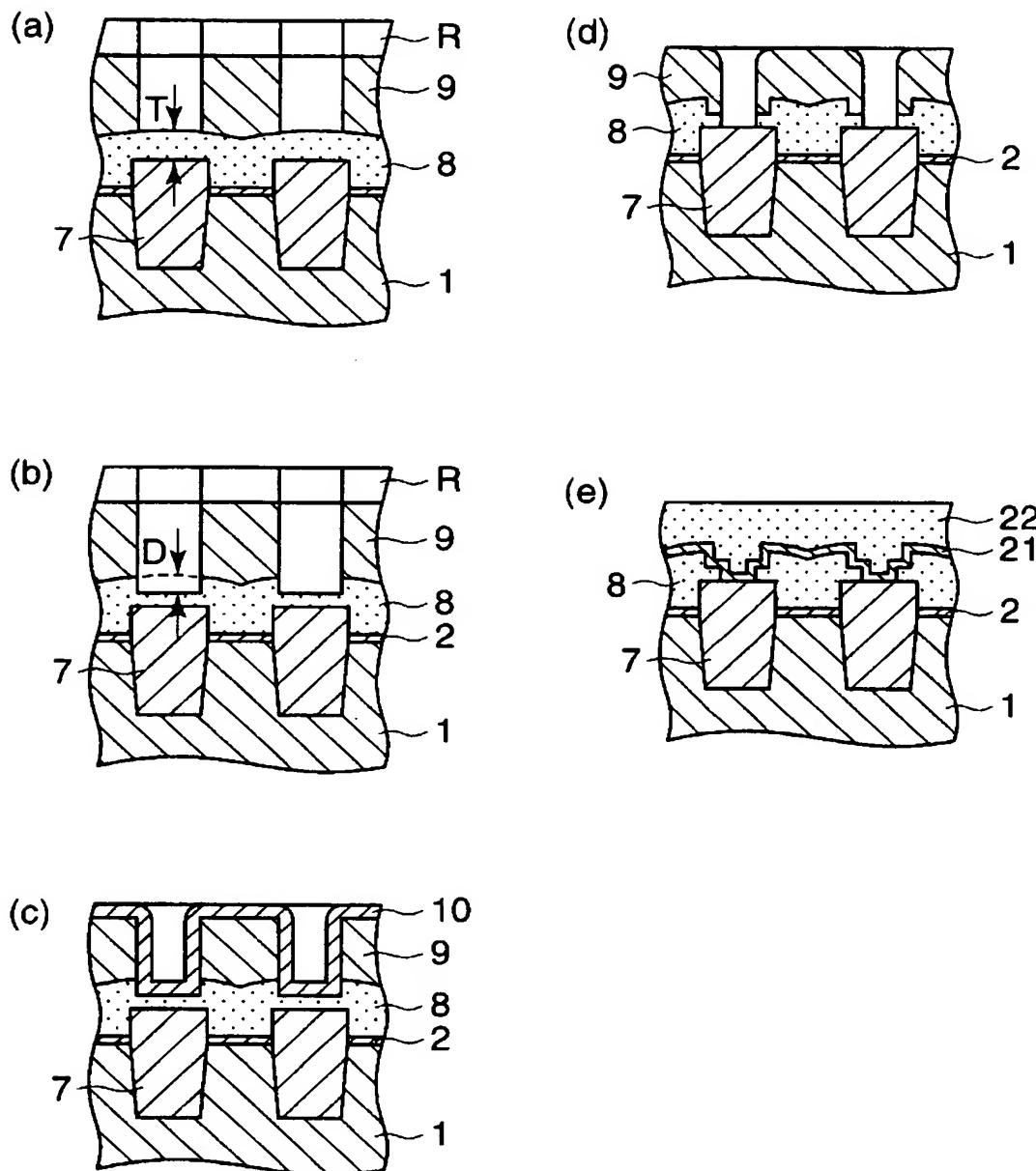
【図 1】



BEST AVAILABLE COPY

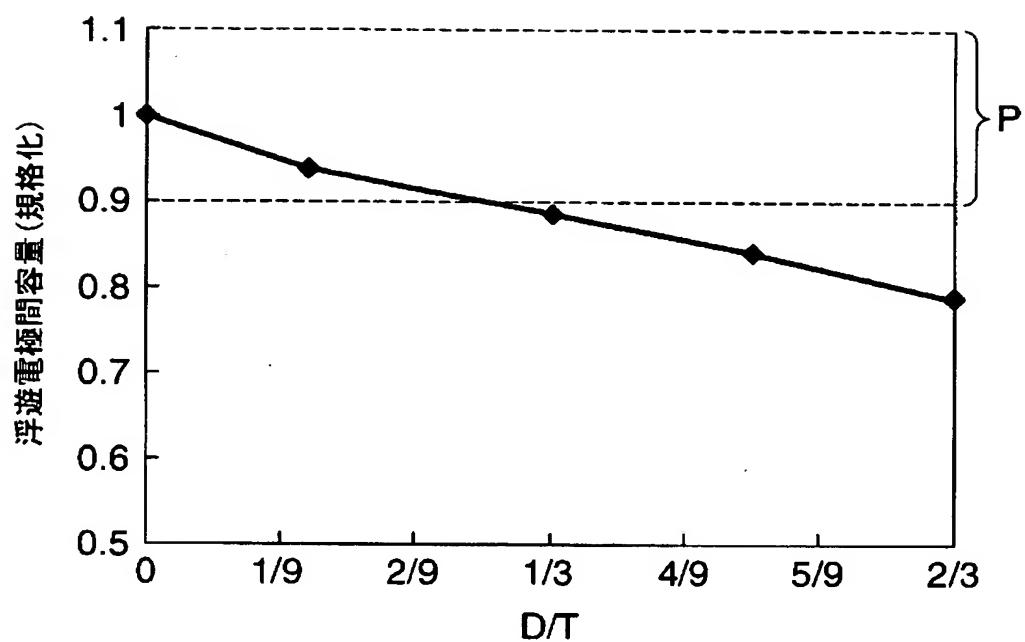
出証特 2003-308863

【図2】



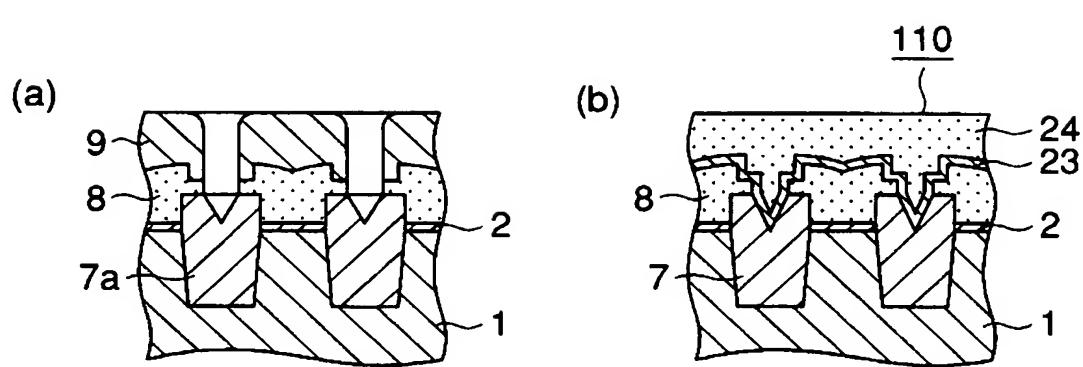
BEST AVAILABLE COPY

【図3】

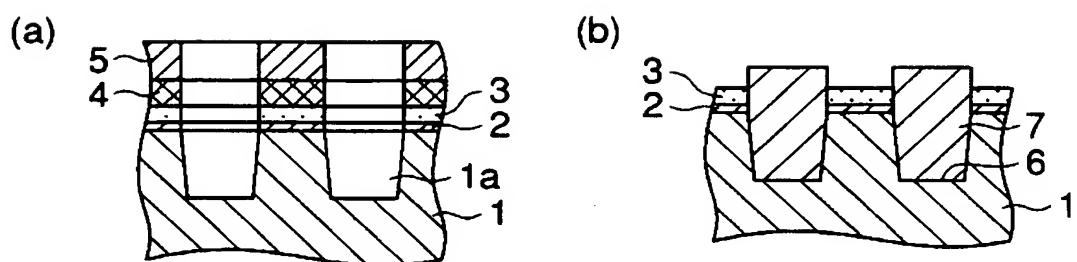


BEST AVAILABLE COPY

【図4】

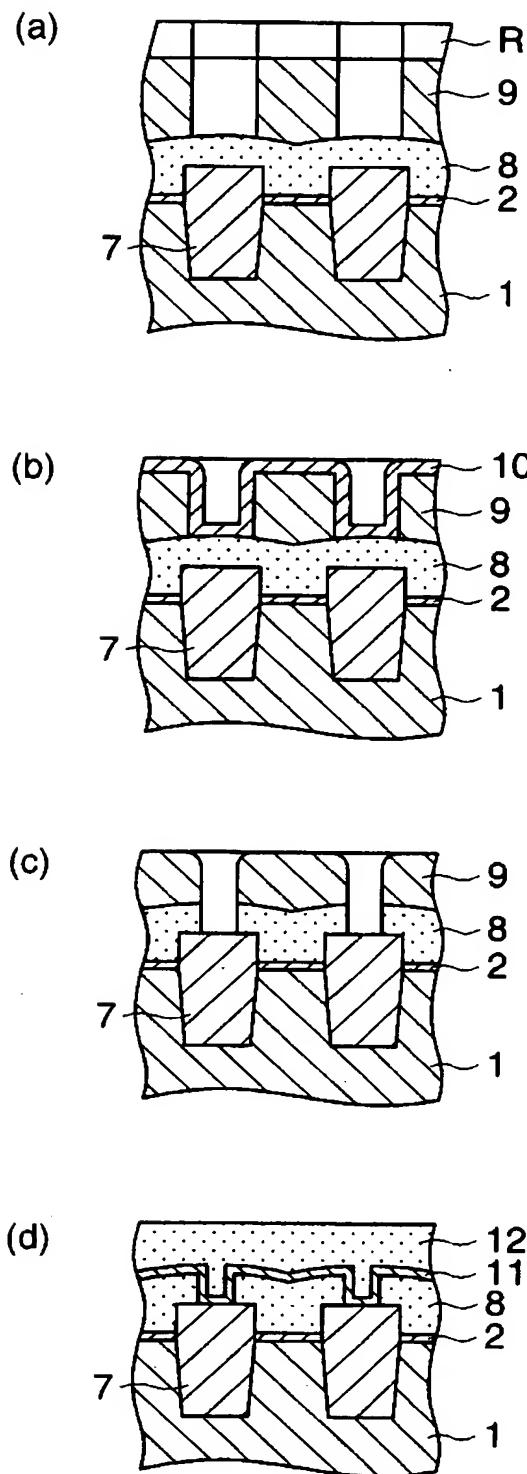


【図5】



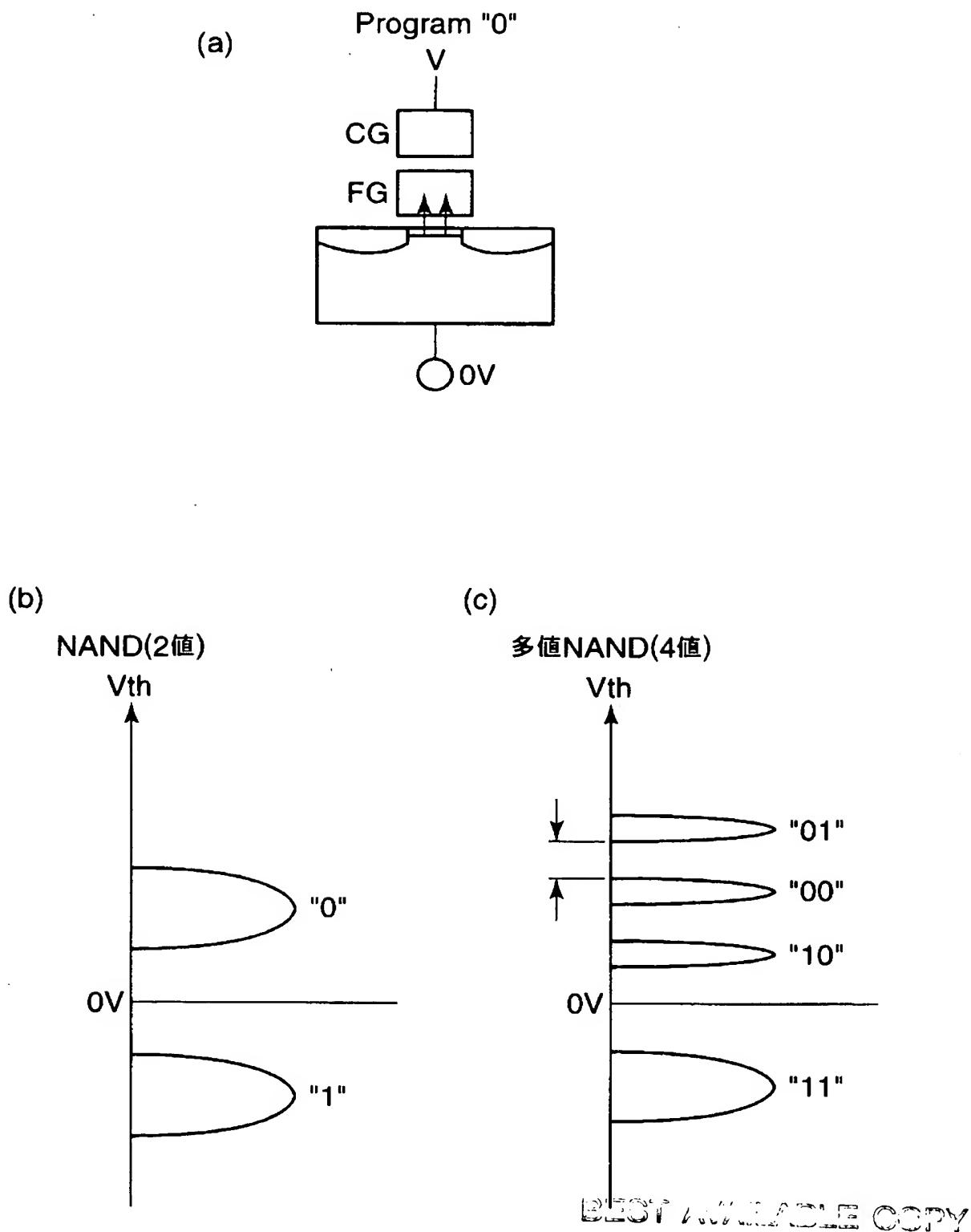
BEST AVAILABLE COPY

【図6】

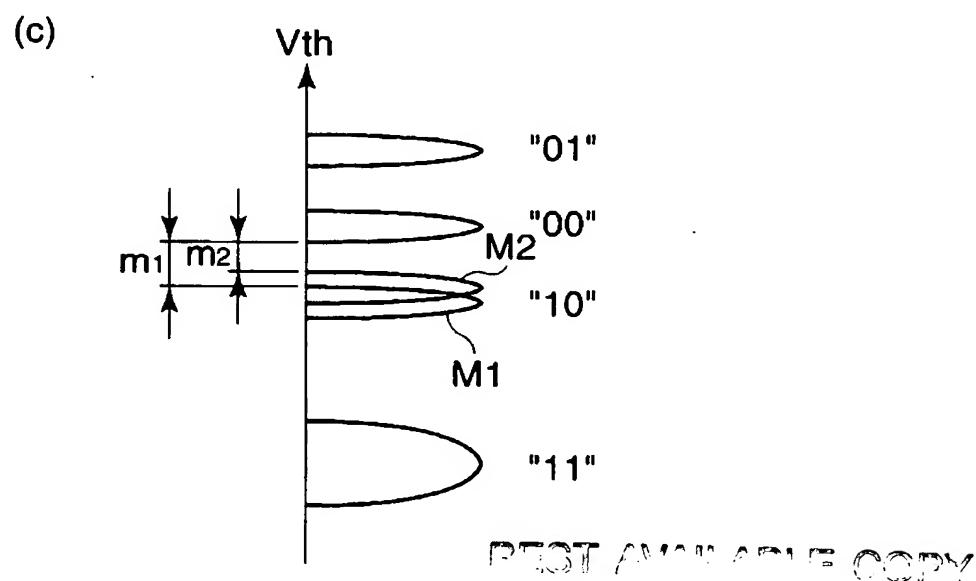
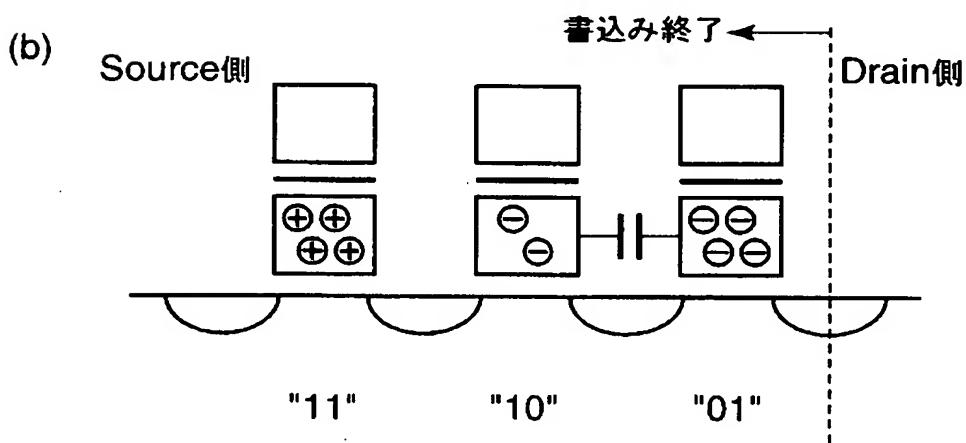
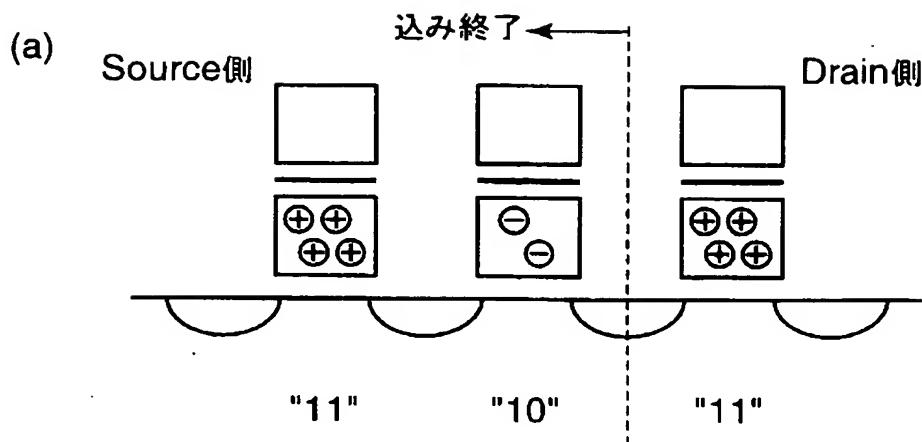


BEST AVAILABLE COPY

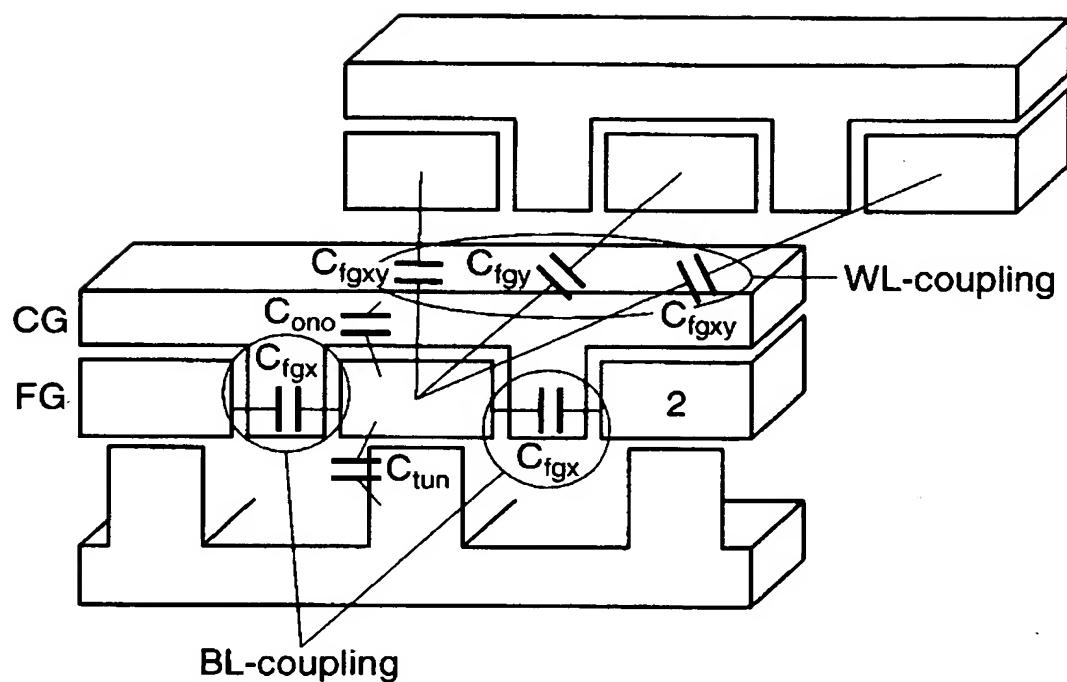
【図7】



【図 8】



【図9】



PRINT ANDABLE COPY

【書類名】 要約書

【要約】

【課題】 浮遊電極間容量を低減することで、容量カップリングによるしきい値電圧の変動を抑制し、デバイス信頼性を向上させることができる不揮発性半導体記憶装置を提供すること。

【解決手段】 電気的に書き込み及び消去可能な不揮発性半導体記憶装置において、シリコン基板1と、シリコン基板1から突出するとともに、所定間隔で配設された複数の素子分離部101と、素子分離部101間に配置された浮遊電極102と、素子分離部101及び浮遊電極102の上に積層された制御電極103とを備え、隣接する浮遊電極102相互の間隔は、シリコン基板1側よりもシリコン基板1より離間した側で広くなるように形成されている。

【選択図】 図1

特願2003-001488

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝